

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-076617

(43)Date of publication of application : 08.04.1987

(51)Int.Cl. H01L 21/265
H01J 37/317

(21)Application number : 60-214848

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1985

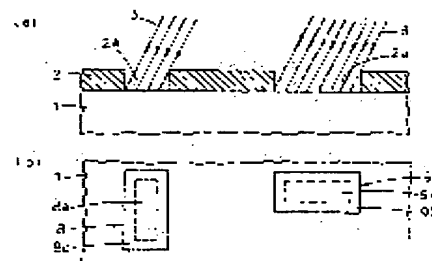
(72)Inventor : USAMI TOSHIRO
MIKATA YUICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the formation of unimplanted region of impurities in the opening for introducing impurities by a method wherein a semiconductor sub strate is rotated on its axis, the region which is ion-implanted with scanning of the ion beam inclined to the crystalline axis and its adjacent region which is shadowed by the scanning are scanned with the ion beam inclined to and overlaped on it.

CONSTITUTION: All the surface of a semiconductor substrate 1 is scanned while an ion beam 3 is irradiated into the resist's opening 2a from the direction inclined 8° to the normal line of the substrate 1. After the semiconductor substrate 1 has been horizontally rotated on its axial line 90° , the same amount of Dose is scanned along the surface of the semiconductor substrate 1 again, and the scanning also performed where the substrate 1 rotated 180° and 270° from the first position of the substrate so as to form two ion implantation regions 8 and 9 differing in direction each other within the semiconductor substrate 1. While regions 8a and 9a with a specified amount of Dose are formed at the each central part on the regions 8 and 9, the regions 8b and 9b with less than specified amount of Dose are formed along the external circumference of the regions 8 and 9, without unionimplanted regions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-76617

⑬ Int.Cl.⁴

H 01 L 21/265
H 01 J 37/317

識別記号

庁内整理番号

7738-5F
Z-7129-5C

⑭ 公開 昭和62年(1987)4月8日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-214848

⑰ 出 願 昭60(1985)9月30日

⑱ 発 明 者 宇 佐 見 俊 郎 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑲ 発 明 者 見 方 裕 一 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 諸 田 英 二

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- 1 半導体基板に不純物をイオン注入することによって半導体装置を製造する方法において、該半導体基板の結晶軸に対して所定角度傾けたイオンビームを該半導体基板の面にスキャンした後、該半導体基板をその軸心のまわりに回転させ、更に、前回のスキャンによってイオン注入が行われた領域とその隣接領域とに対して該イオンビームを重ねてスキャンすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[発明の技術分野]

この発明は半導体装置の製造方法に関し、特に、イオン注入法に関するものである。

[発明の技術的背景]

最近、半導体装置の製造において、半導体基板に不純物を精密に導入しようとする場合にはイオ

ン注入法を採用することが主流となっている。

半導体基板にイオン注入法によって不純物を導入する場合、該基板の原子列と平行に(すなわち、面方位指数<100>の基板面に垂直に)イオン注入すると、いわゆるチャネルリング現象が起こってイオンは該基板中に深く注入され、その結果、MOS構造の場合などは、深いソース・ドレイン接合が形成されることになるが、ソース・ドレイン接合が深いと短チャネル効果と寄生容量が大きくなるため半導体素子の高密度化及び高速化に障害となる。従って、高密度の集積回路を可能とするためにはソース・ドレイン接合を浅くすることが必要であり、これを可能とするためには、イオン注入工程ではチャネルリング現象を生じさせぬようにイオンの注入方向を結晶軸に対して傾けることが必要である(G. Deearnaley et al., Can. J. Phys. 46 (1968) p587参照)。

それ故、従来、半導体装置の製造工程で半導体基板にイオン注入を行う時には、イオン注入方向を基板面の法線方向よりも8°程度傾いた入射角

でイオン注入を行っている。この場合、よく知られているように、イオンの加速電圧に応じて半導体基板上に $1\mu\text{m}$ 以上の厚さのレジスト膜を形成し、該レジスト膜に選択的に開口してマスクを形成した後、前記のように傾けたイオンビームを該基板の面に沿って全面にスキャンさせて該開口内の基板中に不純物イオンを注入する。

第2図はこのような従来のイオン注入方法を示したものであり、同図において、1は半導体基板、2はレジスト膜、2aはレジスト膜に形成された開口、3はイオンビームである。イオンビーム3は基板面の法線方向に対して $8^\circ \pm 3^\circ$ 程度傾いた入射角で照射される。

なお、傾けたイオンビームを半導体基板面にスキャンする方法としては、半導体基板を静止させた状態でイオンビームを静電的にスキャンする方法、該傾けたイオンビームを静止させた状態で半導体基板のほうを左右上下に移動させてスキャンする方法のいずれかの方法が実施されてきた。

〔背景技術の問題点〕

$w = 1.5\mu\text{m} \times \tan 8^\circ = 2100\text{\AA}$
となり、レジスト開口2aの一辺の幅Wが $1\mu\text{m}$ であれば、イオン不注入領域5の面積は開口2aの全面積の2割強にも達するので、無視することはできなくなる。

特に、第3図に示すように、全く同一の素子6及び7が互いに直角をなす向きで基板上に配置されるとともに相互の間隔dが $10\mu\text{m}$ 程度に近接している場合には、両者のイオン不注入領域6a及び7aの形状も異なってくるため、両者の電気的特性には大きな差異が生じることになり、両者を同一特性の素子として使用するためには両者のしきい値電圧の精密な制御が必要となるが、これは回路設計や素子形成等を非常に煩雑にさせることになる。

〔発明の目的〕

この発明の目的は、前記の如き問題を生じない、改良された半導体装置製造方法を提供することである。更に詳細には、この発明の目的は、イオン注入工程において不純物導入用開口内に不純物

しかしながら、従来のイオンビーム照射方法によると第2図からも明らかなように、レジストの開口縁のために影となる部分が生じ、このため、イオン注入工程終了後、レジスト開口2a内には第2図(b)に示すようにイオン注入領域4に隣接してイオン不注入領域5が生じる結果となっていた。

従来、設計ルールによって素子のセルサイズもかなり大きかった時には、このようにイオン注入用開口内にイオン不注入領域5が存在していてもこの不注入領域が素子の電気的特性を悪化させる恐れは殆どなかったので無視することができたが、最近では集積回路の微細化が進展したため、イオン注入用開口(レジスト開口2a)の一辺の幅Wも $1\mu\text{m}$ 程度にまで縮小されているので、前記の如きイオン不注入領域5の存在は素子のしきい値電圧等の素子電気的特性に悪影響を及ぼすものとして無視できなくなってきた。たとえば、レジスト膜厚が $1.5\mu\text{m}$ の場合、イオン不注入領域5の一辺の幅wは第2図から明らかであるように、

不注入領域を生じさせることのないイオン注入方法を提供することである。

〔発明の概要〕

この発明による方法は、まず、結晶軸に対して傾けたイオンビームを該半導体基板の面に沿ってスキャンした後、該半導体基板をその軸心のまわりに回転させ、しかる後、前回のスキャンでイオン注入された領域と前回のスキャンで影となったその隣接領域とを重ねて該傾けたイオンビームをスキャンすることを特徴とするものである。

このような本発明方法によれば、イオン注入工程において不純物導入用開口内にイオン不注入領域が残ることがなくなり、その結果、各半導体素子に所期の電気的特性を与えることができるとともに回路設計や素子形成における困難性が解消される。

〔発明の実施例〕

第1図に本発明方法の一実施例を示す。

本実施例では半導体基板1の表面にレジスト膜2を形成した後、該レジスト膜2に互いに直角に

配置された2個の同一面積のレジスト開口2aを形成し、このレジスト開口2a内に該基板1の法線に対して8°傾いた方向からイオンビーム3を照射しつつ該イオンビーム3を半導体基板1の表面に沿って全面スキャンした。この時のドーズ量は $0.25 \times 10^{13} \text{ cm}^{-2}$ となるようにイオン電流を設定した。

次に、半導体基板1をその中心軸線のまわりに90°平面的に回転させた後、再び同じドーズ量になるようにイオン電流を設定してイオンビーム3を半導体基板1の表面に沿って全面スキャンした。

そして90°回転における以上の操作を、最初の半導体基板の位置から180°と270°回転させたところでも行って、第1図(b)に示すように互に向きの異なる二つのイオン注入領域8と9を半導体基板1内に形成した。該領域におけるイオン濃度を調べたところ、各領域8及び9には、各々の中心部に所定のドーズ量 ($1 \times 10^{13} \text{ cm}^{-2}$) の領域8a及び9aが形成される一方、各領域8及び9の外周縁に沿って所定のドーズ量よりも低

い(この実施例では3/4)ドーズ量 ($0.75 \times 10^{13} \text{ cm}^{-2}$) の領域8b及び9bが形成されており、各領域8及び9にはイオン不注入領域が形成されていないことが確認された。

[発明の効果]

以上に説明したように、本発明の方法によれば、イオン注入工程においてイオン注入予定領域内にイオン不注入領域を生じさせることがないため、電気的特性のすぐれた素子を高密度に集積した高密度半導体装置を製造することができる。また、本発明方法で形成されたイオン注入領域は第1図(b)に示されるように、すべての方向において同じ不純物分布となるので半導体基板上の素子の向きにかかわらず、同一の素子は同一の特性を持つこととなり、その結果、回路設計や素子形成における困難性や煩雑性が除かれる。

なお、実施例では半導体基板を90°づつ順次回転させる場合のみを示したが、半導体基板を平面上でどのように姿勢を変えるかは前記実施例の場合に限定されるものではない。またスキャンの

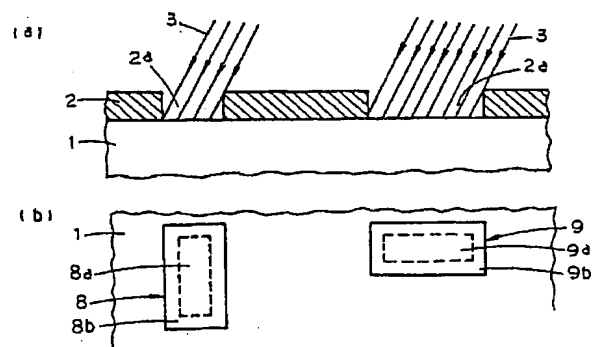
方法は静電的にイオンビームをスキャンする方法、半導体基板を移動させてスキャンする方法のいずれでもよいことは当然である。

4. 図面の簡単な説明

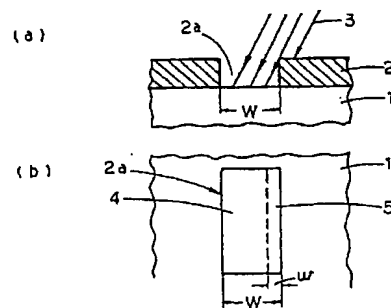
第1図(a)は本発明方法で半導体基板にイオン注入を行う場合を示した図、第1図(b)は第1図(a)に示した状態で形成されるイオン注入領域の平面図、第2図及び第3図は従来の方法によってイオン注入した場合にイオン不注入領域が発生する状態を示した図であり、第2図(a)及び第3図(a)は半導体基板の一部の断面図、第2図(b)及び第3図(b)はイオン注入後の半導体基板の平面図である。

1…半導体基板、2…レジスト膜、2a…レジスト開口、3…イオンビーム、4…イオン注入領域、5…イオン不注入領域、6, 7…素子、6a, 7a…イオン不注入領域、8, 9…イオン注入領域。

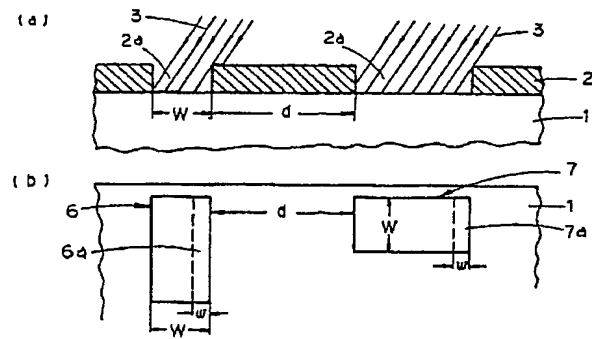
特許出願人 株式会社 東芝
代理人 弁理士 諸田 英二



第1図



第2図



第 3 図